

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08222728 A**

(43) Date of publication of application: 30 . 08 . 96

(51) Int. Cl.

H01L 29/78
H01L 21/331
H01L 29/73

(21) Application number: **07021577**

(22) Date of filing: 09 . 02 . 95

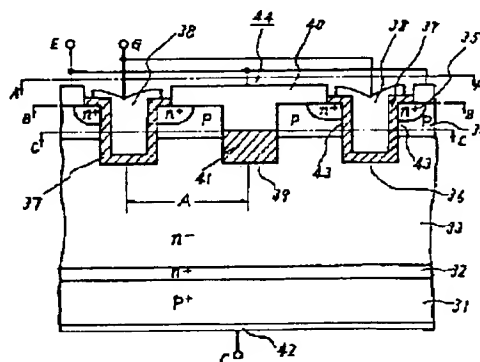
(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **MAJIYUMUDAARU GOORABU
IWAGAMI TORU**(54) **INSULATED-GATE SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To obtain an insulated-gate semiconductor device of a structure, wherein an excess voltage at the time of switching is made low and at the same time, the whole application system comprising a snubber circuit can be constituted compact.

CONSTITUTION: An insulated-gate semiconductor device has gate trenches 36, which are respectively provided with a gate electrode 38 via a gate insulating film 37, and an emitter trench 39 arranged with an emitter electrode 40 via a silicon oxide layer 41 and a main current path is provided with a capacitor capacitance by using the layer 41 provided in the trench 39. Accordingly, the insulated-gate semiconductor device of a structure, wherein a surge voltage, which is accompanied by the wiring inductance of a snubber circuit, can be effectively made low and an application system comprising the snubber circuit can be miniaturized, can be formed.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222728

(43) 公開日 平成8年(1996)8月30日

(51) IntCl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/78	6 5 3 A
21/331			29/72	
29/73				

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21) 出願番号 特願平7-21577

(22) 出願日 平成7年(1995)2月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 マジウムダール ゴーラブ

福岡市西区今宿東一丁目1番1号 三菱電機株式会社福岡製作所内

(72) 発明者 岩上 徹

福岡市西区今宿東一丁目1番1号 三菱電機株式会社福岡製作所内

(74) 代理人 弁理士 高田 守 (外4名)

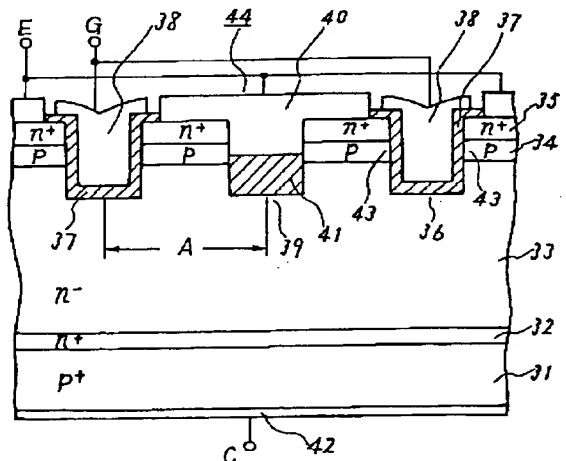
(54) 【発明の名称】 絶縁ゲート型半導体装置

(57) 【要約】

【目的】 スイッチング時の過渡電圧を小さくするとともにスナバ回路を含めた応用システム全体をコンパクトに構成できる絶縁ゲート型半導体装置を得る。

【構成】 ゲート絶縁膜37を介してゲート電極38が配設されたゲートトレンチ36と酸化シリコン層41を介してエミッタ電極40が配設されたエミッタトレンチ39とを有し、エミッタトレンチ39に配設された酸化シリコン層41を用いることにより主電流経路にコンデンサ容量を設けた。

【効果】 スナバ回路の配線インダクタンスに伴うサージ電圧を効果的に小さくでき、スナバ回路を含めた応用システムを小形化できる絶縁ゲート型半導体装置を構成できる。



【特許請求の範囲】

【請求項 1】 第 1 と第 2 の主面を有する第 1 導電型の第 1 の半導体層と、

この第 1 の半導体層の第 1 の主面に選択的に、もしくは第 1 の主面上に配設された第 2 導電型の第 2 の半導体層と、

この第 2 の半導体層の表面に選択的に配設された第 1 導電型の第 3 の半導体層と、

この第 3 の半導体層の表面もしくは上記第 2 の半導体層の露出面に開口を有し、この開口から上記第 1 の半導体層に達する深さを有するように配設された凹部と、

この凹部の上記第 1 の半導体層の露出面を覆うように上記凹部に配設された誘電体層と、

この誘電体層を介して上記凹部に配設されるとともに上記第 2 の半導体層と第 3 の半導体層とを短絡した第 1 の主電極と、

上記第 1 の半導体層の第 2 の主面上に配設された第 2 の主電極と、

上記第 1 の半導体層と第 3 の半導体層とで挟まれた上記第 2 の半導体層表面上に絶縁膜を介して配設された制御電極と、を備えた絶縁ゲート型半導体装置。

【請求項 2】 第 1 と第 2 の主面を有する第 1 導電型の第 1 の半導体層と、

この第 1 の半導体層の第 1 の主面に選択的に、もしくは第 1 の主面上に配設された第 2 導電型の第 2 の半導体層と、

この第 2 の半導体層の表面に選択的に配設された第 1 導電型の第 3 の半導体層と、

この第 3 の半導体層の表面に開口を有し、この開口から上記第 1 の半導体層に達する深さを有するように配設された第 1 の凹部と、

この第 1 の凹部の内壁に配設された絶縁膜と、

この絶縁膜を介して上記第 2 の半導体層と対向するように上記第 1 の凹部に配設された制御電極と、

上記第 3 の半導体層の表面もしくは上記第 2 の半導体層の露出面に開口を有し、この開口から上記第 1 の半導体層に達する深さを有するとともに上記第 1 の凹部に並行するように配設された第 2 の凹部と、

この第 2 の凹部の上記第 1 の半導体層の露出面を覆うように上記第 2 の凹部に配設された誘電体層と、

この誘電体層を介して上記第 2 の凹部に配設されるとともに上記第 2 の半導体層と第 3 の半導体層とを短絡した第 1 の主電極と、

上記第 1 の半導体層の第 2 の主面上に配設された第 2 の主電極と、を備えた絶縁ゲート型半導体装置。

【請求項 3】 上記第 1 および第 2 の凹部が互いに並行する溝形状となるように配設されたことを特徴とする請求項 2 記載の絶縁ゲート型半導体装置。

【請求項 4】 上記第 1 の半導体層の第 2 の主面上に配設された第 2 導電型の第 4 の半導体層を介して上記第 2

の主電極が配設されたことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の絶縁ゲート型半導体装置。

【請求項 5】 上記誘電体層と第 1 の主電極との間に抵抗体層をさらに配設したことを特徴とする請求項 4 記載の絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は絶縁ゲート型半導体装置に関するもので、特に MOS ゲートを有する電力用半導体装置のスイッチング時の過渡電圧を小さくするとともにスナバ回路を含めた応用システムを小形化できるデバイス構造に関するものである。

【0002】

【従来の技術】 図 14 は従来の絶縁ゲート型半導体装置の断面図で、ここでは一例としてトレンチ MOS ゲート構造の絶縁ゲート型バイポーラトランジスタ（以下 IGBT という）により説明する。

【0003】 図 14 において 1 は p⁺コレクタ層、2 は n⁺バッファ層、3 は n⁻層、4 は p ベース層、5 は n⁺エミッタ層、6 はトレンチ、7 はゲート絶縁膜、8 はゲート電極、9 はエミッタ電極、10 はコレクタ電極、11 はチャネル領域である。

【0004】 次に、IGBT の動作を説明する。エミッタ電極 9 とコレクタ電極 10 との間に所定のコレクタ電圧 V_{CE} を、エミッタ電極 9 とゲート電極 8 との間に所定のゲート電圧 V_{GE} を印加する、すなわちゲートをオンすると、チャネル領域 11 が n 型に反転しチャネルが形成される。このチャネルを通じてエミッタ電極 9 から電子が n⁻層 3 に注入される。この注入された電子により p⁺コレクタ層 1 と n⁻層 3 との間が順バイアスされ、コレクタ電極 10 から p⁺コレクタ層 1 および n⁺バッファ層 2 を経由して n⁻層 3 にホールが注入される。この結果電導度変調により n⁻層 3 の抵抗が大幅に低下し IGBT の電流容量は増大する。この時の IGBT のコレクタ-エミッタ間の電圧降下をオン電圧（V_{CE(SAT)}）という。

【0005】 次に、IGBT のオン状態からオフ状態にする際には、エミッタ電極 9 とゲート電極 8 との間に印加されていたゲート電圧 V_{GE} を 0 V または逆バイアスにする、すなわちゲートをオフすると、n 型に反転していたチャネル領域 11 が p 型に戻り、エミッタ電極 9 からの電子の注入が停止する。その後 n⁻層 3 に蓄積されていた電子とホールはそれぞれコレクタ電極 10、エミッタ電極 9 へ抜けて行くか、または互いに再結合し消滅する。

【0006】 一般に IGBT のオン電圧の大半は耐圧保持に必要な n⁻層 3 の実質的な抵抗で決まる。実質的な抵抗の要因の一つとして、IGBT の MOSFET の電子供給能力がある。IGBT の中で、チップ表面に狭く

深い溝（トレンチ）を形成し、その側壁にMOSFETを形成するIGBT（以下トレンチゲート構造のIGBTという）は、単位セル間隔をできるだけ縮小することにより、このMOSFETの電子供給能力を高めることができる構造となっている。従って必要な耐圧の保持を行ないながら、オン電圧を下げるができる構造である。

【0007】さらに、特開昭63-224260号公報に記載された他の従来技術では、導電変調型MOSFETにおいて、ソース及びチャネル領域の構造を縦型とし、それぞれ平行に配置することにより、ベース領域に直線的なホール電流の経路を形成しpベース層内の横方向抵抗を低減させ、ラッチアップ現象を防止しようとするものが開示されている。

【0008】

【発明が解決しようとする課題】上記のように構成された従来のIGBTにおいて、さらにスイッチング速度を高めようすると、ターンオフ時の di/dt が大となり、スパイク電圧が増大する。図15はスパイク電圧を示すグラフである。図15において、 V_{ce} は電源電圧、 I_c はコレクタ電流、 ΔV_{ce} はスパイク電圧である。

【0009】このスパイク電圧に耐えるためには耐圧保持に必要なn⁻層3の厚さが必要になり、スイッチング速度の上昇に伴うスパイク電圧の増大がn⁻層3を厚くしオン抵抗を増大させる。一方トレンチ構造となっているため電流密度も大きくなり、オン状態の損失が増大するとともにスイッチング速度を大きくするに伴ってスパイク電圧が増大するのでスイッチング時の損失も増大する。このようなターンオフ時のスパイク電圧に起因する不都合を防止するために、従来は外付け構造のスナバ回路を接続しスパイク電圧を防止するのが常であった。しかし、外付け構造のスナバ回路では、外付け配線のインダクタンスが存在し、トレンチ構造のIGBTとなつて di/dt が一層大となると、外付け配線のインダクタンスに比例するスパイク電圧が大きくなり、このスパイク電圧に耐えるために更に素子のn⁻層3の厚さを厚くすることが必要となる。

【0010】またトレンチ構造のIGBTとなつて、印加電圧及び電流密度も大きくなり、発生するスパイク電圧を防止するためには、かなりの容量のコンデンサーが必要になり、IGBTの素子は小形大容量化が進んでも、スナバ回路を含めたシステム全体では小型化できないという問題点があった。

【0011】さらに、トレンチ構造のIGBTのみならず、縦型MOSFET（以下VDMOSという）においても、スパイク電圧による耐圧破壊を防止するためには常にスナバ回路の接続が必要であるが、VDMOSの大容量化にともないスナバ回路のコンデンサーの容量も大容量化して、VDMOSを使用したパワモジュールとスナバ回路を含めたシステム全体では小型化できないとい

う問題点があった。

【0012】またVDMOSで構成されたブリッジ回路においては、不要な寄生トランジスタが動作しブリッジ回路のアーム短絡をおこし素子を破壊する場合があるが、スイッチング速度が大きくなるとこれを防止するためにFR（FAST RECOVERY）ダイオードを装着したブリッジ回路用パワーMOSが必要となりモジュールとして小形化が図れなかった。

【0013】この発明は上記のような課題を解決するためになされたもので、スイッチング時の過渡電圧を小さくするとともにパワモジュールとスナバ回路を含めたシステム全体をコンパクトに構成できる絶縁ゲート型半導体装置の提供を目的とするものである。

【0014】

【課題を解決するための手段】この第1の発明にかかる絶縁ゲート型半導体装置は、第1と第2の主面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の主面に選択的にもしくは第1の主面上に配設された第2導電型の第2の半導体層と、この第2の半導体層の表面に選択的に配設された第1導電型の第3の半導体層と、この第3の半導体層の表面もしくは第2の半導体層の露出面に開口を有し、この開口から第1の半導体層に達する深さを有するように配設された凹部と、この凹部の第1の半導体層の露出面を覆うように凹部に配設された誘電体層と、この誘電体層を介して凹部に配設されるとともに第2の半導体層と第3の半導体層とを短絡した第1の主電極と、第1の半導体層の第2の主面上に配設された第2の主電極と、第1の半導体層と第3の半導体層とで挟まれた第2の半導体層表面上に絶縁膜を介して配設された制御電極とを備えたものである。

【0015】この第2の発明にかかる絶縁ゲート型半導体装置は、第1と第2の主面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の主面に選択的にもしくは第1の主面上に配設された第2導電型の第2の半導体層と、この第2の半導体層の表面に選択的に配設された第1導電型の第3の半導体層と、この第3の半導体層の表面に開口を有し、この開口から第1の半導体層に達する深さを有するように配設された第1の凹部と、この第1の凹部の内壁に配設された絶縁膜と、この絶縁膜を介して第2の半導体層と対向するように第1の凹部に配設された制御電極と、第3の半導体層の表面もしくは第2の半導体層の露出面に開口を有し、この開口から第1の半導体層に達する深さを有するとともに第1の凹部に並行するように配設された第2の凹部と、この第2の凹部の第1の半導体層の露出面を覆うように第2の凹部に配設された誘電体層と、この誘電体層を介して第2の凹部に配設されると従来の絶縁ゲート型半導体装置のとともに第2の半導体層と第3の半導体層とを短絡した第1の主電極と、第1の半導体層の第2の主面上に配設された第2の主電極と、を備えたものである。

【0016】この第3の発明にかかる絶縁ゲート型半導体装置は、第1および第2の凹部が互いに並行する溝形状となるように配設されたものである。この第4の発明にかかる絶縁ゲート型半導体装置は、第1の半導体層の第2の主面上に配設された第2導電型の第4の半導体層を介して第2の主電極が配設されたものである。この第5の発明にかかる絶縁ゲート型半導体装置は、誘電体層と第1の主電極との間に抵抗体層をさらに配設したものである。

【0017】

【作用】第1の発明のように構成された絶縁ゲート型半導体装置は、誘電体層を介して第2の主電極が配設された凹部を有し、凹部に配設された誘電体層を用いることにより主電流経路にコンデンサー容量を設けることができ、スイッチング時にスナバ回路のコンデンサーとしての機能をもたせることができる。

【0018】第2の発明のように構成された絶縁ゲート型半導体装置は、絶縁膜を介して制御電極が配設された第1の凹部と誘電体層を介して第2の主電極が配設された第2の凹部とを有し、第2の凹部に配設された誘電体層を用いることにより主電流経路にコンデンサー容量を設けることができ、スイッチング時にスナバ回路のコンデンサーとしての機能をもたせることができる。

【0019】第3の発明のように構成された絶縁ゲート型半導体装置は、さらに素子全体のチャネル幅が広くなるように構成することができる。第4の発明のように構成された絶縁ゲート型半導体装置は、さらに第4の半導体層を有しターンオフ時に第1の半導体層のキャリアの一部を、凹部または第2の凹部に配設された誘電体層によるコンデンサー容量を介して第1の主電極に移動させることができ、スナバ回路のコンデンサーとしての機能をもたせることができる。第5の発明のように構成された絶縁ゲート型半導体装置は、さらにターンオフ時に誘電体層を流れる電流制限が可能となりCR時定数による発振防止ができる。

【0020】

【実施例】

実施例1

図1はこの発明の一実施例である絶縁ゲート型半導体装置の部分断面図である。実施例1では、絶縁ゲート型半導体装置の一例としてトレンチゲート構造のIGBTを用いて説明する。図2は図1のA-A矢視のトレンチゲート構造のIGBTの部分平面図、図3は図1のB-B矢視のトレンチゲート構造のIGBTの部分平面図、図4は図1のC-C矢視のトレンチゲート構造のIGBTの部分平面図である。

【0021】図1、図2、図3および図4において、31は第4の半導体層としてのp⁺型半導体層で、IGBTではp⁺コレクタ層である。32はn⁺型半導体層であるn⁺バッファ層、33はn⁻型半導体層で、n⁺バッフ

ア層32とn⁻型半導体層33とから第1の半導体層を構成している。34は第2の半導体層としてのp型半導体層、35は第3の半導体層としてのn⁺型半導体層でIGBTではn⁺エミッタ層、36は第1の凹部としての、ゲート電極を配設するためのトレンチ（以下ゲートトレンチという）、37は絶縁膜としてのゲート絶縁膜、38は制御電極としてのゲート電極、39は凹部または第2の凹部としての、エミッタ電極を配設するためのトレンチ（以下エミッタトレンチという）、40は第1の主電極としてのエミッタ電極、41は誘電体層としての酸化シリコン層、42は第2の主電極としてのコレクタ電極、43はチャネル領域である。

【0022】また、図1において、矢印で示されたAの範囲は単位セルの範囲である。通常、各半導体層は次のように構成される。まずp⁺コレクタ層31をp⁺シリコン基板で構成し、このp⁺シリコン基板上にn⁺バッファ層32、n⁻型半導体層33が順次シリコンのエピタキシャル成長により配設される。p型半導体層34はn⁻型半導体層33表面上にシリコンでエピタキシャル成長させるか或はn⁻型半導体層33表面に不純物拡散により配設される。

【0023】このp型半導体層34の表面に、n⁺エミッタ層35が不純物拡散により所定の形状の周縁を有する島状に配設される。実施例1では、このn⁺エミッタ層35は複数の並行して延在した島状に配設されている。ゲートトレンチ36は、n⁺エミッタ層35の表面に開口を有し、n⁺エミッタ層35及びその下層のp型半導体層34を貫通し、n⁻型半導体層33に達する深さを有し、n⁺エミッタ層35に沿って延在している。

【0024】このゲートトレンチ36の内壁にはゲート絶縁膜37として機能し、かつゲート電極38をn⁻型半導体層33及びn⁺エミッタ層35から絶縁するためのシリコン酸化膜が配設されている。このゲート絶縁膜37を介してゲートトレンチ36内部にポリシリコンが埋設され、ゲート電極38を構成している。互いに並行して延在するn⁺エミッタ層35の間の、p型半導体層34の露出面にはエミッタトレンチ39が配設されている。エミッタトレンチ39はp型半導体層34の露出面に開口を有し、このp型半導体層34を貫通し、n⁻型半導体層33に達する深さを有し、ゲートトレンチ36と互いに並行して延在している。

【0025】このエミッタトレンチ39の側壁および底面の、少なくともn⁻型半導体層33の露出面は酸化シリコン層41で覆われ、この酸化シリコン層41を介して例えばアルミニウム合金（一例としてアルジル）からなるエミッタ電極40がエミッタトレンチ39内部に埋設される。この酸化シリコン層41とこの酸化シリコン層41を挟んで配設されたエミッタ電極40及びn⁻型半導体層33とからコンデンサー44が形成されている。因みに酸化シリコン層41の厚みは0.1~20μ

10

20

30

40

50

mの範囲で、必要とするコンデンサー容量に対応する所定の厚さに設定される。エミッタ電極40は、p型半導体層35表面の周縁を介してp型半導体層34とn⁺エミッタ層35とを短絡している。

【0026】次に動作について説明する。エミッタ電極40とコレクタ電極42との間に所定のコレクタ電圧 V_{CE} を印加した状態で、エミッタ電極40とゲート電極38との間に所定のゲート電圧 V_{GE} を印加しゲートをオンすると、p型半導体層34のチャネル領域43がn型に反転しチャネルが形成される。このチャネルを通じてエミッタ電極40から電子がn⁻型半導体層33に注入される。この注入された電子によりp⁺コレクタ層31とn⁻型半導体層33との間が順バイアスされ、コレクタ電極42からn⁺バッファ層32を経由してn⁻型半導体層33にホールが注入される。この結果電導度変調によりn⁻型半導体層33の抵抗が大幅に低下しIGBTの電流容量は増大する。この時のIGBTのコレクターエミッタ間の電圧降下がオン電圧($V_{CE(SAT)}$)である。

【0027】次に、IGBTのオン状態からオフ状態にする際には、エミッタ電極40とゲート電極38との間に印加されていたゲート電圧 V_{GE} を0Vまたは逆バイアスにしゲートをオフすると、n型に反転していたチャネル領域43がp型に戻り、エミッタ電極40からの電子の注入が停止する。その後n⁻型半導体層33に蓄積されていた電子とホールはそれぞれコレクタ電極42、エミッタ電極40へ抜けて行くか、または互いに再結合し消滅する。

【0028】このゲートオフの際、ゲートオン時に電導度変調により電流容量が増大しn⁻型半導体層33に蓄積され残留していたホールは、コレクタ電極42とエミッタ電極40との間に電圧が上昇してくると、エミッタ電極40に引き寄せられる。この時ホールの移動経路は、一つはn⁻型半導体層33とp型半導体層34の接合からp型半導体層34に注入されエミッタ電極40に抜ける経路と、もう一つは酸化シリコン層41とエミッタ電極40とn⁻型半導体層33とからなるコンデンサー44を経由してエミッタ電極40に抜ける経路と、二つ存在する。

【0029】この後者の経路のコンデンサー44がスナバ回路の容量として機能する。このコンデンサー44はエミッタ電極40の下層に分散配置されていることにより、スナバ回路のコンデンサー容量として大きな容量を容易に構成できるとともに、外付けスナバ回路に必要な回路配線が不要もしくは大幅に短縮されることになる。

【0030】特にトレンチゲート構造のIGBTは、従来構造のプレーナゲート構造のIGBTに比較して接合型FET効果に基づく電圧降下がなくなり、ターンオン時に $V_{CE(SAT)}$ が低くなり、電流密度が大となること、またトレンチゲート構造のIGBTはプレーナゲート構造のIGBTに比較してセルの微細化が可能でセルの数

も多く設けることができ、エミッタ電極40とp型半導体層34とのコンタクトを広く取ることができ、ターンオフ時にホールの抜ける経路が広くなることから、高速スイッチングが可能となる。この結果トレンチゲート構造のIGBTはプレーナゲート構造のIGBTに比較して di/dt が大となり、外付けスナバ回路を設けたとしても、その回路配線のインダクタンスがスパイク電圧の吸収を妨げる場合もある。

【0031】しかし、この実施例では回路配線が不要もしくは大幅に短縮されることにより、スナバ回路の回路インダクタンスが大幅に減少するので、エミッタ電極40の下層に分散配置されたコンデンサー44により、トレンチゲート構造のIGBTに伴う di/dt の増大によるスパイク電圧を容易に吸収することができる。

【0032】更に、トレンチゲート構造のIGBTでは電流密度が大となるとともに di/dt の増大によるスパイク電圧が高くなるので、スパイク電圧を吸収するためのスナバ回路のコンデンサーも勢い大容量化し、形状も大形化する。従ってパワー素子は小形化が達成できるにも拘らず、スナバ回路を含めた応用システムとして小形化できなかった。しかしこの実施例のようにエミッタトレンチ39内部に薄く誘電体を埋設させることにより、単位面積当たりの容量を高めると共に、エミッタトレンチ39内部に分散配置したコンデンサー44を主電流経路に設けることにより、小形大容量のコンデンサーが形成でき、スナバ回路を含めたシステムとして小形化を達成することができる。

【0033】図5は、図1の実施例の一変形例である。図5においては、酸化シリコン層41の底面の形状が滑らかな曲面を持たせたもので、このような形状にすることにより、酸化シリコン層41の形成が容易となる。図6は、図1の実施例の他の一変形例である。図6において、酸化シリコン層41は、エミッタトレンチ39の底部とこの底部から開口までの側壁を覆うように、エミッタトレンチ39の内部に埋設されている。さらに酸化シリコン層41を薄膜状に形成し、エミッタトレンチ39の側壁の酸化シリコン層41を介してエミッタ電極40がn⁻型半導体層33と対向するように深く埋設されている。他の構成は実施例1と同様である。

【0034】このように酸化シリコン層41を形成すると、p型半導体層34はエミッタ電極40と短絡しているため、コンデンサー44の容量は実施例1の容量と同等となるが、酸化シリコン層41はエミッタトレンチ39の開口まで形成されているため実施例1に較べて酸化シリコン層41の形成が容易である。また酸化シリコン層41が薄膜状に形成されているために、コンデンサー44の容量を大きく設定することができる。

【0035】実施例2

図7はこの発明の他の実施例である絶縁ゲート型半導体装置の部分断面図である。この実施例も実施例1同様ト

レンチゲート構造の IGBT である。図 7 において、p 型半導体層 34 はシリコンの n⁻型半導体層 33 の表面上にエピタキシャル成長させるか或は n⁻型半導体層 33 表面に不純物拡散することにより配設される。この p 型半導体層 34 を覆って n⁺エミッタ層 35 が、エピタキシャル成長によるかまたは p 型半導体層 34 の表面に不純物拡散することにより配設される。

【0036】エミッタトレンチ 39 は n⁺エミッタ層 35 の表面に開口を有し、n⁺エミッタ層 35 の表面から p 型半導体層 34 を貫通して n⁻型半導体層 33 に達する深さを有するように配設される。このエミッタトレンチ 39 の側壁および底面の、少なくとも n⁻型半導体層 33 の露出面は酸化シリコン層 41 で覆われるが、エミッタトレンチ 39 の側壁の p 型半導体層 34 および n⁺エミッタ層 35 の露出面は酸化シリコン層 41 で覆われない表面を残し、エミッタトレンチ 39 側壁に露出した p 型半導体層 34 と n⁺エミッタ層 35 とがエミッタトレンチ 39 の内部に埋設されたエミッタ電極 40 により短絡される。他の構成は実施例 1 と同様である。

【0037】このようにエミッタトレンチ 39 の内部でエミッタ電極 40 と p 型半導体層 34 とのコンタクトを形成することが出来るから、チップ表面でエミッタ電極 40 と p 型半導体層 34 とのコンタクトを形成する必要がなくなり、p 型半導体層 34 とのコンタクトのための表面積が不要となるとともに、コンタクトを形成するためのマスク合わせの余裕分も不必要となるために、単位セルの範囲を短縮でき、セルの高密度化を図ることができる。延いてはチップを小形化できる。

【0038】図 8 は、図 7 の実施例の一変形例の部分断面図である。この変形例では図 7 の実施例のように n⁺エミッタ層 35 が p 型半導体層 34 の表面を覆うように配設されていなくて、エミッタトレンチ 39 の内部に埋設されるエミッタ電極 40 とチップ表面に配設された従来構造のエミッタ電極 50 とが混在する様にしてチップを形成している。電力容量の小さいチップでは、スナバ回路に必要なコンデンサ容量も少なくよく、エミッタ電極 40 と従来構造のエミッタ電極 50 とを混在させた方が安価なチップが得られる。

【0039】実施例 3

図 9 はこの発明のさらに他の実施例である絶縁ゲート型半導体装置の部分断面図である。この実施例も実施例 1 同様トレンチゲート構造の IGBT である。図 10 は、図 9 の D-D 矢視の部分平面図である。実施例 3 は、実施例 2 のエミッタ電極 40 をエミッタトレンチ 39 の内部に埋設する際に、酸化シリコン層 41 とエミッタ電極 40 との間に抵抗体層を配設したものである。

【0040】図 9 および図 10 において、51 は抵抗体層としてのポリシリコン層である。エミッタトレンチ 39 は n⁺エミッタ層 35 の表面に開口を有し、n⁺エミッタ層 35 の表面から p 型半導体層 34 を貫通して n⁻型

半導体層 33 に達する深さを有するように配設される。このエミッタトレンチ 39 の側壁および底面の、n⁻型半導体層 33 の露出面は薄膜状の酸化シリコン層 41 で覆われる。

【0041】この酸化シリコン層 41 を介してエミッタトレンチ 39 の内部にポリシリコン層 51 が埋設される。この酸化シリコン層 41 とポリシリコン 51 の上層に例えばアルミ合金（一例としてアルジル）が埋設されエミッタ電極 40 とされる。エミッタトレンチ 39 の側壁および底面の、n⁻型半導体層 33 の露出面は酸化シリコン層 41 で覆われるが、エミッタトレンチ 39 の側壁の p 型半導体層 34 および n⁺エミッタ層 35 の露出面は酸化シリコン層 41 で覆われない表面を残し、エミッタトレンチ 39 の内部に埋設されるエミッタ電極 40 によりエミッタトレンチ 39 側壁で p 型半導体層 34 と n⁺エミッタ層 35 とが短絡される。他の構成は実施例 7 と同様である。

【0042】このような構成にした場合は、ゲートオフの際、n⁻型半導体層 33 に蓄積され残留していたホールがエミッタ電極 40 に抜ける移動経路の一つである、酸化シリコン層 41 とエミッタ電極 40 と n⁻型半導体層 33 とからなるコンデンサ 44 を経由してエミッタ電極 40 と接続された経路において、ポリシリコン層 51 が配設されることにより、コンデンサ 44 とポリシリコン層 51 の抵抗が直列接続されたことになり、この経路を流れるホール電流の電流制限が可能となり、酸化シリコン層 41 とポリシリコン層 51 との厚さを適切に設定することにより CR 時定数を調整し、スパイク電圧の発振を効果的に防止することが可能となる。

【0043】実施例 4

図 11 はこの発明のさらに他の実施例である絶縁ゲート型半導体装置の部分断面図である。この実施例は従来型のプレーナゲート構造を有する IGBT に適用したものである。図 11 において、60 は第 2 の半導体層としての p 型半導体層で n⁻型半導体層 33 の表面に島状に配設されている。61 はゲート絶縁膜、62 はゲート電極、63 はチャネル領域である。他の構成は実施例 2 と同様である。

【0044】この実施例ではゲート構造が実施例 1 と異なっているが、IGBT としての動作は同じである。従って酸化シリコン層 41 をエミッタ電極 40 と n⁻型半導体層 33 との間に配設しコンデンサ 44 を形成し、このコンデンサ 44 がエミッタ電極 40 の下層に分散配置されることにより、外付けスナバ回路に必要な回路配線が不要もしくは大幅に短縮されることになる。このためスナバ回路の回路インダクタンスが大幅に減少するので、di/dt の増大によるスパイク電圧を容易に吸収することができる。延いては大形化するスナバ回路のコンデンサが不要となり、スナバ回路を含めた応用システム全体として小形化を達成することができる。

【0045】実施例5

図12はこの発明のさらに他の実施例である絶縁ゲート半導体装置の部分断面図である。この実施例はプレーナゲート構造を有するVDMOSに適用したものである。

【0046】実施例1～実施例5はIGBTの電導度変調に伴ってn⁺型半導体層33に蓄積されたホールが、ターンオフに際してエミッタ電極40に抜ける移動経路の一つとして、酸化シリコン層41とエミッタ電極40とn⁺型半導体層33とからなるコンデンサ44を形成し、ターンオフの際のスパイク電圧を防止するスナバ回路のコンデンサとするものであるが、この実施例は、酸化シリコン層41とソース電極64とn⁺型半導体層33とからなるコンデンサ44をVDMOSのスパイク電圧によるゲート絶縁膜の破壊を防止するためのスナバ回路のコンデンサとし、またVDMOSの寄生トランジスタのターンオンを防止するためのコンデンサとするものである。

【0047】図12において、32はn⁺型半導体層であるn⁺バッファ層、33はn⁺型半導体層で、n⁺バッファ層32とn⁺型半導体層33とから第1の半導体層を構成する。60は第2の半導体層としてのp型半導体層、35は第3の半導体層としてのn⁺型半導体層で、この実施例ではn⁺ソース層、61は絶縁膜としてのゲート絶縁膜、62は制御電極としてのゲート電極、63はチャネル領域、65は凹部としての、ソース電極を配設するためのトレンチ（以下ソーストレンチという）、41は誘電体層としての酸化シリコン層、64は第1の主電極としてのソース電極、66は第2の主電極としてのドレイン電極である。

【0048】この実施例のVDMOSは、n型シリコン基板の一方の面に不純物拡散により形成されるn⁺バッファ層32が配設され、もう一方の主面に不純物拡散により形成されるp型半導体層60が島状に配設される。このp型半導体層60の周縁と間隔を設ける様にして、不純物拡散により形成されたn⁺ソース層35が配設される。このn⁺ソース層35とn⁺型半導体層33の露出面に挟まれたp型半導体層60の表面上にゲート絶縁膜61が配設され、このゲート絶縁膜61の表面上にゲート電極62が配設される。

【0049】n⁺ソース層35の表面には、この表面に開口を有し、n⁺ソース層35の表面からn⁺ソース層35とその下層にあるp型半導体層34とを貫通しn⁺型半導体層33に達する深さを有するソーストレンチ65が配設される。このソーストレンチ65の側壁および底面の、少なくともn⁺型半導体層33の露出面は酸化シリコン層41で覆われ、この酸化シリコン層41を介して例えばアルミニウム合金からなるソース電極64がソースとレンチ65内部に埋設される。この酸化シリコン層41とこの酸化シリコン層41を挟んで配設されたソ

ース電極40及びn⁺型半導体層33とからコンデンサ44が形成されている。因みに酸化シリコン層41の厚みは0.1～20μmの範囲で、必要とするコンデンサ容量に対応する所定の厚さに設定される。

【0050】通常VDMOSはインバータまたはサーボなどのブリッジ回路に組み、インダクタンス負荷のもとで使用する場合が多い。このようなブリッジ回路でVDMOSのドレイン側のpn接合をフライホールダイオードに用いると、スイッチングの際、フライホールダイオードに再生電流が流れ、n⁺ソース層35とp型半導体層60とn⁺型半導体層33とから構成される寄生npnトランジスタのベースであるp型半導体層60に蓄積電荷が溜り、ついでフライホールダイオードがリカバーし、p型半導体層60とn⁺型半導体層33との接合容量とこのときのdV/dTにより、VDMOSのドレインソース電圧V_{DS}が増加し、寄生npnトランジスタがオンし、アーム短絡をおこす。これを防止するため、通常は高速ダイオードを外付けした製品を使用する。

【0051】しかしこの実施例のVDMOSでは、酸化シリコン層41とこの酸化シリコン層41を挟んで配設されたソース電極40及びn⁺型半導体層33とからコンデンサ44を構成することにより、p型半導体層60とn⁺型半導体層33との接合容量と並列にコンデンサを挿入することになり、p型半導体層60とn⁺型半導体層33との接合容量を通る電荷を減少させ、寄生npnトランジスタがオンすることを防止し、アーム短絡を防止する。

【0052】また、VDMOSがターンオフしたときに、ドレインソース間に極めて立上りの大きな過渡電圧が印加されるモードがある。このときp型半導体層60とn⁺型半導体層33との接合容量とこのときのdV/dTにより、ゲートソース間電圧を上昇させ、VDMOSを一時的にオンしアーム短絡をおこす場合がある。しかしこのような場合にも、この実施例のVDMOSでは、p型半導体層60とn⁺型半導体層33との接合容量と並列にコンデンサを挿入することになり、p型半導体層60とn⁺型半導体層33との接合容量を通る電荷を減少させ、寄生npnトランジスタがオンすることを防止し、アーム短絡を防止する。

【0053】また、ソース電極64の下層に容量を分散配置し、容量を増加させることにより、dV/dTを減少させスパイク電圧を低下させることができる。従ってこの実施例のVDMOSでは、特別に高速ダイオードを外付けさせることなく、ブリッジ回路用VDMOSとして構成することができ、モジュールの小形化が可能となる。また外付けスナバ回路が不要となり、応用システムとしての小形化が可能となる。

【0054】また、この実施例では、ソーストレンチ65の側壁および底面の、n⁺型半導体層33の露出面は酸化シリコン層41で覆われるが、ソーストレンチ65

の側壁のp型半導体層60およびn⁺ソース層35の露出面は酸化シリコン層41で覆われない表面を残し、ソーストレンチ65の内部に埋設されるソース電極64によりソーストレンチ65側壁でp型半導体層34とn⁺型半導体層35とが短絡される。従ってソーストレンチ65の内部でソース電極64とp型半導体層34とのコンタクトを形成することが出来るから、チップ表面でのコンタクトを形成する必要が無くなり、p型半導体層34とのコンタクトのための表面積が不要となるとともに、コンタクトを形成するためのマスク合わせの余裕分も不必要となるために、単位セルの範囲を短縮でき、セルの高密度化を図ることができる。延いてはチップを小形化できる。

【0055】図13は、この実施例の変形例を示す部分断面図である。この変形例はトレンチゲート構造を有するVDMOSに適用したものである。図13の構成は、実施例2のIGBTのp⁺型半導体層31を省いた構成となっている。動作は図12のプレーナゲート構造のVDMOSと同様である。このような構成にすることにより、チップ表面にチャンネル領域を配設する必要がなく、さらにチップの小形化、単位セルの高密度化が可能となる。ところで、上記説明ではこの発明をnチャンネルのIGBTまたはMOSFETについて説明してきたが、pチャンネルのIGBTまたはMOSFETについてこの発明を適用できることは言うまでもない。

【0056】

【発明の効果】この発明は以上説明したように構成されているので以下に示すような効果がある。第1の発明のように構成された絶縁ゲート型半導体装置は、誘電体層を介して第2の主電極が配設された凹部を有し、凹部に配設された誘電体層を用いることにより主電流経路にコンデンサー容量を設けることができ、スイッチング時にスナバ回路のコンデンサーとしての機能をもたせることができるので、チップにコンデンサー容量が分散配置され、スナバ回路の配線インダクタンスに伴うスパイク電圧を小さくすることができる。さらにスパイク電圧を防止するスナバ回路を小形に構成でき、延いてはスナバ回路を含めた応用システムを小型化できる。

【0057】第2の発明のように構成された絶縁ゲート型半導体装置は、絶縁膜を介して制御電極が配設された第1の凹部と誘電体層を介して第2の主電極が配設された第2の凹部とを有し、第2の凹部に配設された誘電体層を用いることにより主電流経路にコンデンサー容量を設けることができ、スイッチング時にスナバ回路のコンデンサーとしての機能をもたせることができるので、チップにコンデンサー容量が分散配置され、スイッチング速度が大きい場合においてもスナバ回路の配線インダクタンスに伴うスパイク電圧を効果的に小さくすることができる。さらにスパイク電圧を防止するスナバ回路を小形に構成でき、延いてはスナバ回路を含めたシステムを

小型化できる。

【0058】第3の発明のように構成された絶縁ゲート型半導体装置は、さらに素子全体のチャンネル幅を広くすることができるので、大容量の素子を構成できる。第4の発明のように構成された絶縁ゲート型半導体装置は、さらに第4の半導体層を有しターンオフ時に第1の半導体層のキャリアの一部を凹部または第2の凹部に配設された誘電体層によるコンデンサー容量を介して第1の主電極に移動させることができ、スナバ回路のコンデンサーとしての機能をもたせることができるので、ターンオフ時においてもスパイク電圧を小さくすることができる。

【0059】第5の発明のように構成された絶縁ゲート型半導体装置は、誘電体層と第1の主電極との間に抵抗体層をさらに設けているので、ターンオフ時に誘電体層を流れる電流制限が可能となりCR時定数による発振防止ができるとともに誘電体層を薄くできるから、ターンオフ時においてスパイク電圧を効果的に小さくすることができる。

【図面の簡単な説明】

【図1】 この発明の一実施例である絶縁ゲート型半導体装置の部分断面図である。

【図2】 図1の絶縁ゲート型半導体装置のA-A矢視の部分平面図である。

【図3】 図1の絶縁ゲート型半導体装置のB-B矢視の部分平面図である。

【図4】 図1の絶縁ゲート型半導体装置のC-C矢視の部分平面図である。

【図5】 図1の絶縁ゲート型半導体装置の一変形例である。

【図6】 図1の絶縁ゲート型半導体装置の一変形例である。

【図7】 この発明の他の実施例である絶縁ゲート型半導体装置の部分断面図である。

【図8】 図7の絶縁ゲート型半導体装置の一変形例である。

【図9】 この発明のさらに他の実施例である絶縁ゲート型半導体装置の部分断面図である。

【図10】 図9の絶縁ゲート型半導体装置のD-D矢視の部分平面図である。

【図11】 この発明のさらに他の実施例である絶縁ゲート型半導体装置の部分断面図である。

【図12】 この発明のさらに他の実施例である絶縁ゲート型半導体装置の部分断面図である。

【図13】 図12の絶縁ゲート型半導体装置の一変形例である。

【図14】 従来の絶縁ゲート型半導体装置の部分断面図である。

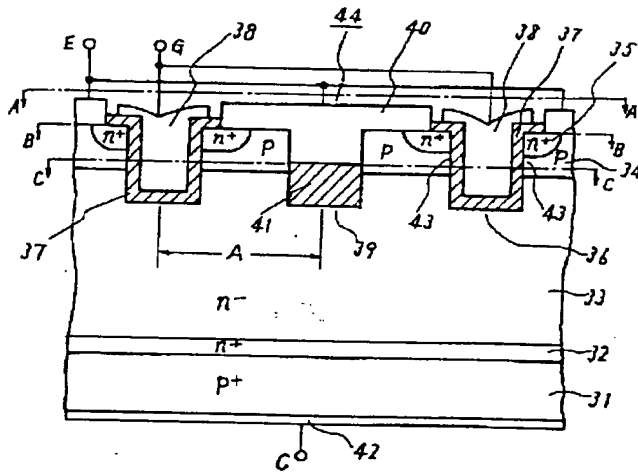
【図15】 従来の絶縁ゲート型半導体装置のスパイク電圧を示すグラフである。

【符号の説明】

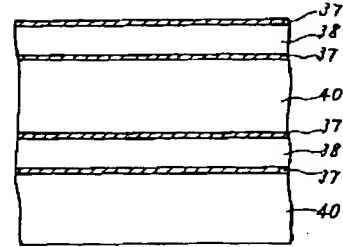
- 31 p⁺型半導体層、
 33 n⁻型半導体層、
 35 n⁺型半導体層、
 32 n⁻バッファ層、
 34 p型半導体層、
 36 ゲートトレンチ、

- 37 ゲート絶縁膜、
 9 エミッタトレンチ、
 41 酸化シリコン層、
 1 ポリシリコン層、
 38 ゲート電極、
 40 エミッタ電極、
 42 コレクタ電極、
 3 3
 5 5

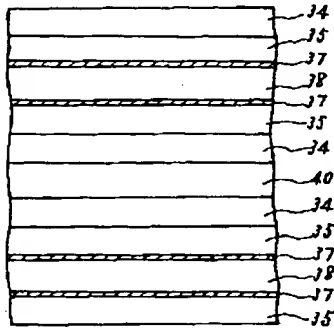
【図1】



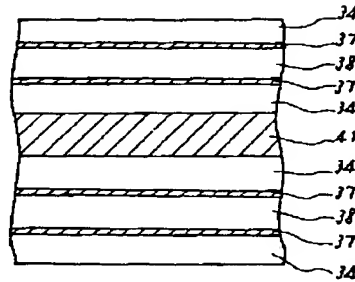
【図2】



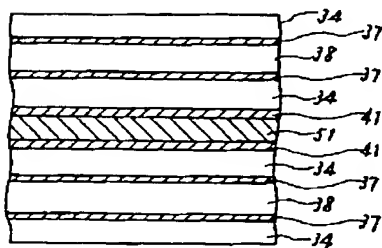
【図3】



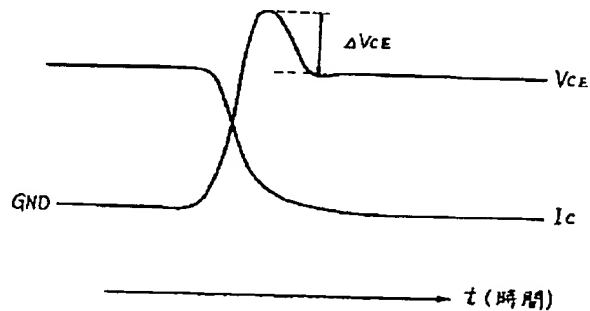
【図4】



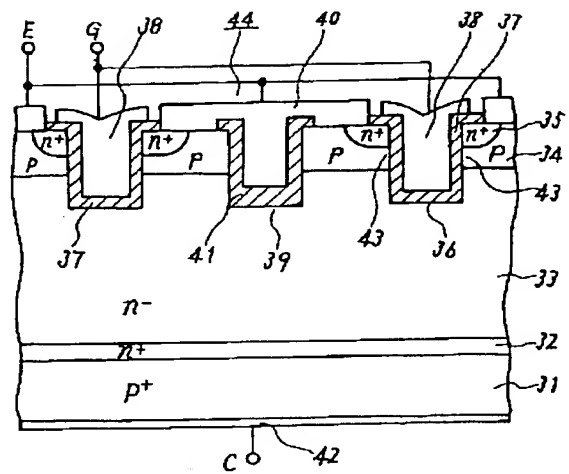
【図10】



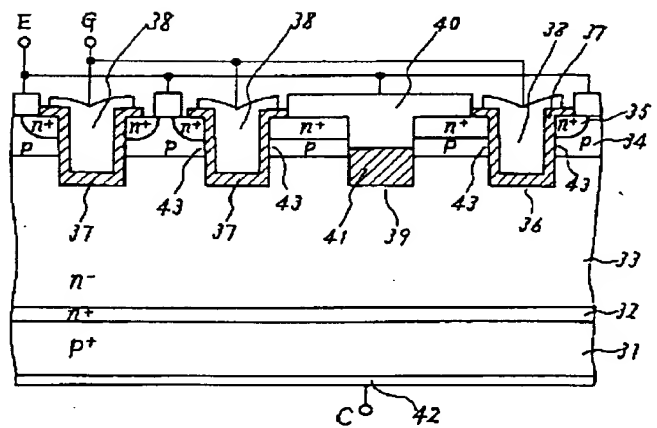
【図15】



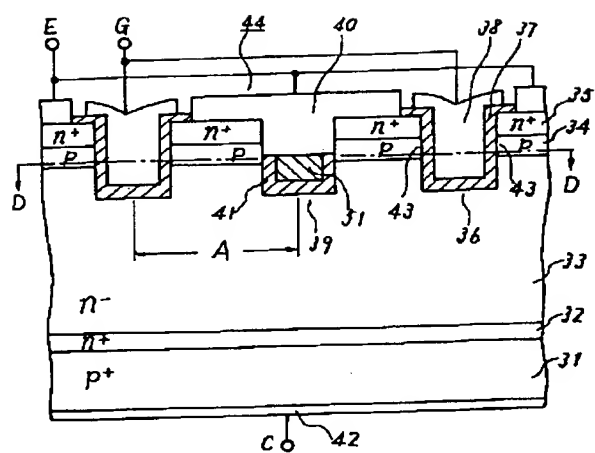
【図 6】



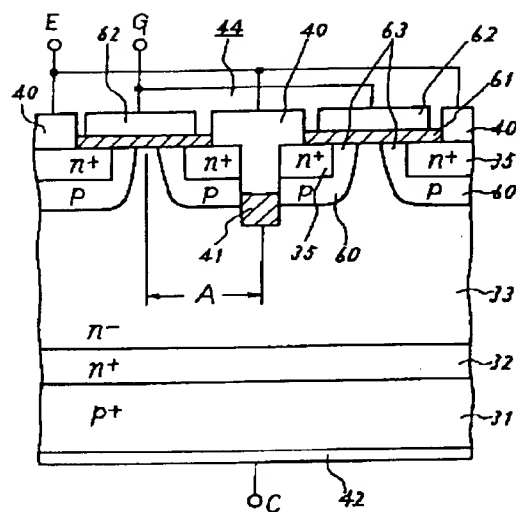
【図 8】



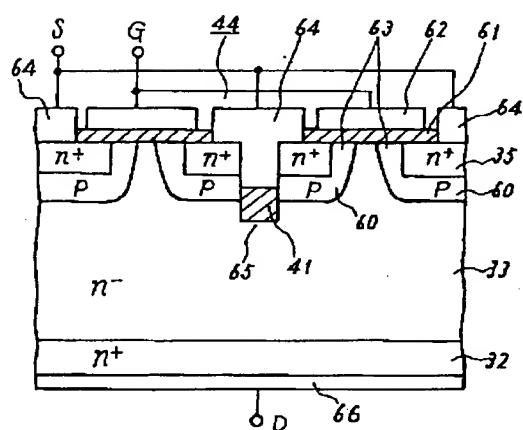
【図 9】



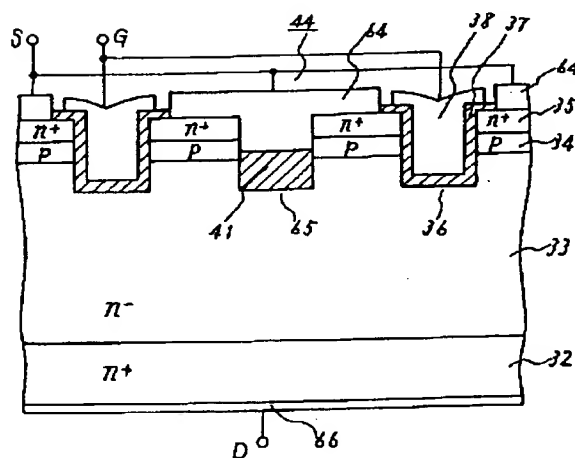
【図 11】



【図 12】



【図 13】



【図14】

